

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-215224

(43)Date of publication of application : 04.08.2000

(51)Int.Cl.

G06F 17/50
H01L 21/82

(21)Application number : 11-015744

(71)Applicant : NEC CORP

(22)Date of filing : 25.01.1999

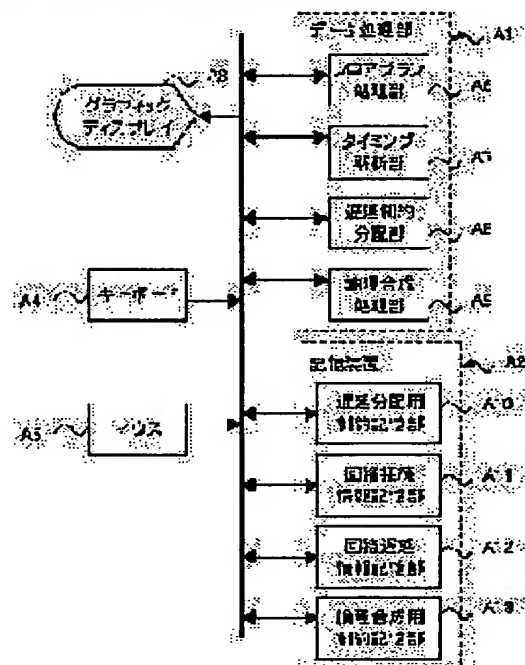
(72)Inventor : SHOYAMA HIDEKI

(54) DEVICE AND METHOD FOR GENERATING AND PROCESSING RESTRICTION FOR LOGICAL SYNTHESIS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide logical synthesis restriction generation and processing device and method therefor for generating restriction for properly distributing restrictions on a pass spread over between blocks in the case of optimizing hardware hierarchically designed by blocks for every block.

SOLUTION: A circuit is inputted from a circuit connection information storing part A11 and a circuit delay information storing part A12, a timing analysis part A7 executes the timing analysis of the whole circuit based on restriction inputted from a delay distributing restriction storing part A10 and a delay restriction distributing part A8 finds out the ratio of a block delay value obtained by removing the delay value of the circuit to be optimized at its logical synthesis, distributes logical synthesis delay restriction obtained by subtracting the delay value of a circuit not to be logically synthesized from the pass restriction by the ratio to each block as logical synthesis delay restriction and outputs the logical synthesis delay restriction to a logical synthesis restriction storing part A13.



LEGAL STATUS

[Date of request for examination] 24.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3090136

[Date of registration] 21.07.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

①

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-215224

(P 2000-215224A)

(43)公開日 平成12年8月4日(2000.8.4)

(51)Int.Cl.⁷

G06F 17/50

H01L 21/82

識別記号

F I

G06F 15/60

H01L 21/82

656

D 5B046

C 5F064

テマコード (参考)

審査請求 有 請求項の数 8 O L (全13頁)

(21)出願番号 特願平11-15744

(22)出願日 平成11年1月25日(1999.1.25)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 庄山 英樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100097113

弁理士 堀 城之

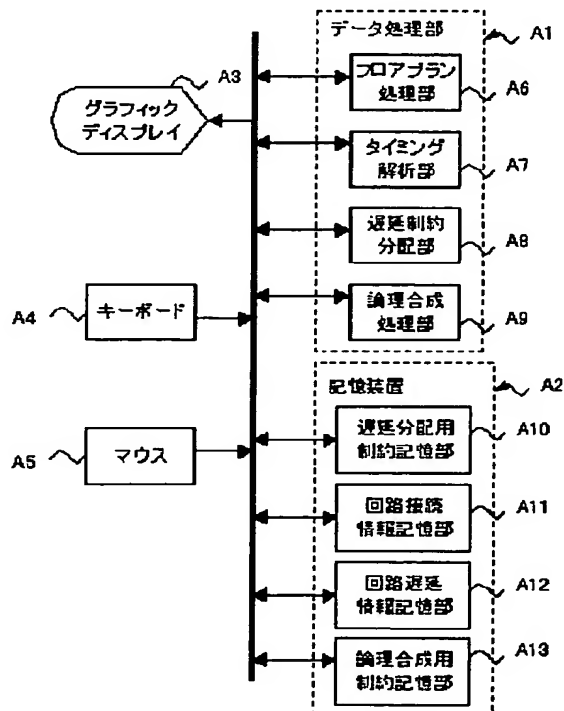
Fターム(参考) 5B046 AA08 BA03 JA07 KA05 KA06
5F064 DD03 DD04 EE47 HH10 HH12
HH13 HH14

(54)【発明の名称】論理合成用制約生成処理装置及び論理合成用制約生成処理方法

(57)【要約】

【課題】 本発明は、ブロックにより階層設計されたハードウェアをブロックごとに最適化する際に、ブロック間にまたがったバスに対して、バスへの制約をブロックごとに適切に分配する制約を生成する論理合成用制約生成処理装置及び論理合成用制約生成処理方法を提供することを課題とする。

【解決手段】 回路接続情報記憶部A11と回路遅延情報記憶部A12から回路を入力し、タイミング解析部A7にて遅延分配用制約記憶部A10から入力した制約による回路全体のタイミング解析を行い、遅延制約分配部A8にて論理合成最適化対象回路の遅延値を除いたブロックの遅延値の比率を求め、この比率でバスの制約から論理合成対象外回路の遅延値を差し引いた値を論理合成用遅延制約としてブロックごとに割り振り、論理合成用遅延制約を論理合成用制約記憶部A13に出力する。



【特許請求の範囲】

【請求項 1】 ブロックによる階層構造を有する論理回路の遅延制約を生成する論理合成用制約生成処理装置であって、

ブロックにより分割された階層構造と当該ブロックの内部および当該ブロック間の遅延値を有する論理回路の情報を入力する階層回路仕様入力部と、
前記論理回路の遅延分配用制約値を入力する制約入力部と、

入力した前記論理回路の情報および当該論理回路の遅延分配用制約値を保持する回路データベース部と、
前記論理回路のターゲットライブラリ情報を入力するライブラリ入力部と、
前記回路データベース部に保持している前記論理回路の情報と当該論理回路の遅延分配用制約値に対してタイミング解析を行うタイミング解析部と、
入力した前記論理回路のターゲットライブラリ情報を保持するライブラリデータベース部と、
前記論理合成用遅延制約値を出力する出力部と、
前記論理回路の遅延分配用制約値を論理合成用遅延制約値として分配する際、論理合成最適化対象回路の遅延値を除く下位階層の遅延値の比率を求め、当該下位階層の遅延値の比率に応じてバスの制約値から当該論理合成対象回路の遅延値を差し引いた値を前記論理合成用遅延制約値として各階層に分配する遅延制約分配部とを有することを特徴とする論理合成用制約生成処理装置。

【請求項 2】 設計対象とする論理回路のフロアプランを作成し、ブロック間のネットの配線遅延情報とブロック内部の端子間の遅延値を回路接続情報記憶部に格納するとともに、ブロック間のネットの接続情報を回路遅延情報記憶部に格納するフロアプラン処理部を有することを特徴とする請求項 1 に記載の論理合成用制約生成処理装置。

【請求項 3】 前記論理合成用遅延制約値を用いて、前記回路接続情報記憶部と前記回路遅延情報記憶部に格納されている回路の論理合成を行う論理合成処理部を有することを特徴とする請求項 1 に記載の論理合成用制約生成処理装置。

【請求項 4】 前記タイミング解析部は、前記論理回路の回路接続情報を受け取り、タイミング解析に必要なターゲットライブラリを用いて、前記論理回路の仕様の制約値に基づいたタイミング解析をすべてのバスについて行うとともに、当該解析結果を前記回路遅延情報記憶部に格納するように構成されていることを特徴とする請求項 2 に記載の論理合成用制約生成処理装置。

【請求項 5】 前記遅延制約分配部は、遅延分配用制約記憶部に格納されている論理回路の仕様の制約値と前記回路遅延情報記憶部に格納されたタイミング解析の結果に基づき、ブロックごとの論理合成用遅延制約値を生成して論理合成用制約記憶部に格納するように構成されて

いることを特徴とする請求項 2 に記載の論理合成用制約生成処理装置。

【請求項 6】 ブロックによる階層構造を有する論理回路の遅延制約を生成する論理合成用制約生成処理方法であって、

ブロックにより分割された階層構造と当該ブロックの内部および当該ブロック間の遅延値を有する論理回路の情報を入力する階層回路仕様入力工程と、
前記論理回路の遅延分配用制約値を入力する制約入力工程と、

入力した前記論理回路の情報および当該論理回路の遅延分配用制約値を保持する回路データベース工程と、
前記論理回路のターゲットライブラリ情報を入力するライブラリ入力工程と、

前記回路データベース工程に保持している前記論理回路の情報と当該論理回路の遅延分配用制約値に対してタイミング解析を行うタイミング解析工程と、
入力した前記論理回路のターゲットライブラリ情報を保持するライブラリデータベース工程と、

前記論理合成用遅延制約値を出力する出力工程と、
前記論理回路の遅延分配用制約値を論理合成用遅延制約値として分配する際、論理合成最適化対象回路の遅延値を除く下位階層の遅延値の比率を求め、当該下位階層の遅延値の比率に応じてバスの制約値から当該論理合成対象回路の遅延値を差し引いた値を前記論理合成用遅延制約値として各階層に分配する遅延制約分配工程とを有することを特徴とする論理合成用制約生成処理方法。

【請求項 7】 設計対象とする論理回路のフロアプランを作成し、ブロック間のネットの配線遅延情報とブロック内部の端子間の遅延値を回路接続情報記憶部に格納するとともに、ブロック間のネットの接続情報を回路遅延情報記憶部に格納するフロアプラン工程を有することを特徴とする請求項 6 に記載の論理合成用制約生成処理方法。

【請求項 8】 前記論理合成用遅延制約値を用いて、前記回路接続情報記憶部と前記回路遅延情報記憶部に格納されている回路の論理合成を行う論理合成工程を有することを特徴とする請求項 6 に記載の論理合成用制約生成処理方法。

【請求項 9】 前記タイミング解析工程は、前記論理回路の回路接続情報を受け取り、タイミング解析に必要なターゲットライブラリを用いて、前記論理回路の仕様の制約値に基づいたタイミング解析をすべてのバスについて行うとともに、当該解析結果を前記回路遅延情報記憶部に格納する工程を含むことを特徴とする請求項 7 に記載の論理合成用制約生成処理方法。

【請求項 10】 前記遅延制約分配工程は、遅延分配用制約記憶部に格納されている論理回路の仕様の制約値と前記回路遅延情報記憶部に格納されたタイミング解析の結果に基づき、ブロックごとの論理合成用遅延制約値を

生成して論理合成用制約記憶部に格納する工程を含むことを特徴とする請求項7に記載の論理合成用制約生成処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理回路の最適化技術に係り、特にブロックによる階層構造を有する論理回路の遅延制約を生成する論理合成用制約生成処理装置及び論理合成用制約生成処理方法に関する。

【0002】

【従来の技術】フロアプランに基づいてブロック間の概略配線経路を決定し、ネットの線長に基づき論理合成時の制約を設定し、設定された制約に基づいて論理合成を実行する従来技術として、特開平6-266801号公報記載の論理合成方法がある。以下、従来技術の論理合成方法について説明する。従来技術では、論理合成対象となる論理回路の機能レベルの仕様から論理回路のフロアプランを作成し、作成したフロアプランに基づいて論理回路を構成するブロック間にまたがるネットの配線長を見積もり、見積もった配線長に基づいて論理合成時の制約情報を設定し、設定した制約情報を考慮してブロック間をまたがる長いネットの出力側ゲートに駆動能力の高いゲートを最初の論理合成で生成する。フロアプランにおいては、ブロックの配置、ブロック間の配線を行い、ブロック間の配線長を計算する。遅延分配処理では、配線長を求めた後、ブロックごとのネットの遅延値をあらかじめ設定された制限値と比較し、制限値を超えている配線長を持つネットまたは制限値は超えていないが余裕度の少ないネットについて、該当ネットの出力側ゲートとして駆動能力の高いゲートを用いて論理合成する旨を示す論理合成用遅延制約を生成して論理合成用制約記憶部に格納する。

【0003】図4を参照して従来技術の詳細を説明する。図4には、前段ブロックC1の内部にあるDFF C3から最適化対象外遅延であるネットC10を経由して後段ブロックC2の内部にあるDFF C4へ至るパスがあり、パスの遅延分配用制約であるDFF C3とDFF C4をドライブするクロック周期が12nsである場合に、従来技術での論理合成用遅延制約を生成する例が示されている。従来技術では、最適化対象外遅延であるネットの配線長に応じて出力側ゲートC5の駆動能力を決定するため、最適化対象外であるネットC10の配線遅延時間は前段ブロックC1の遅延時間に含むものとして論理合成用遅延制約を生成する。つまり、前段ブロックC1の全体の遅延時間としては、DFF C3から後段ブロックC2の入力側ゲートC6の手前までの遅延時間を合計したものとなる。次に、前段ブロックC1と後段ブロックC2に要する遅延時間の比率で遅延分配用制約を前段ブロックC1と後段ブロックC2に分配する例を示す。前段ブロックC1および後段ブロックC

2の内部遅延時間がともに4nsでネットの遅延時間が8nsであれば、前段ブロックC1の遅延時間は12(=4+8)nsとなる。前段ブロックC1と後段ブロックC2にはそれぞれの遅延時間の比率12:4=3:1でパス全体の遅延分配用制約12nsを割り振るので、前段ブロックC1には9nsが論理合成用遅延制約として分配され、後段ブロックC2には3nsが論理合成用遅延制約として分配される。ネットC10の配線長が非常に長いため、論理合成工程にて、前段ブロックC1の出力ゲートC5の駆動能力を高くする旨の遅延制約を指定してもパスが遅延制約を満たさない場合がある。この場合、レイアウト工程にてネットC10にリピータを挿入する等の詳細配線処理を行う。レイアウト工程においても制約を満たさない場合は、再度フロアプラン工程から設計をやり直す。

【0004】

【発明が解決しようとする課題】しかしながら、従来技術には以下に掲げる問題点があった。第1の問題点は、ブロック間をまたがるパスに対して自動でブロック毎に有効な遅延制約を与えることができないことである。その理由は、最適化対象外遅延が大きくなるほど、前記最適化対象外遅延へ信号を出力する前段ブロックに論理合成用遅延制約が緩く分配されるためである。第2の問題点は、出力側ゲートの駆動能力を高くするだけでは該当ネットの配線遅延の縮小が不十分であり、レイアウト工程での修正およびフロアプラン工程への後戻りが頻繁に起こり得ることである。その理由は、出力側ゲートの駆動能力は有限であり、ブロック間をまたがるネットの配線長が非常に大きい場合に、駆動能力不足になるためである。本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、最適化対象回路を小型化、高速化できる論理合成用制約生成処理装置及び論理合成用制約生成処理方法を提供する点にある。また本発明の他の目的は、論理回路設計の工数を縮小化して効率化する論理合成用制約生成処理装置及び論理合成用制約生成処理方法を提供する点にある。

【0005】

【課題を解決するための手段】本発明の請求項1に記載の要旨は、ブロックによる階層構造を有する論理回路の遅延制約を生成する論理合成用制約生成処理装置であって、ブロックにより分割された階層構造と当該ブロックの内部および当該ブロック間の遅延値を有する論理回路の情報を入力する階層回路仕様入力部と、前記論理回路の遅延分配用制約値を入力する制約入力部と、入力した前記論理回路の情報および当該論理回路の遅延分配用制約値を保持する回路データベース部と、前記論理回路のターゲットライブラリ情報を入力するライブラリ入力部と、前記回路データベース部に保持している前記論理回路の情報と当該論理回路の遅延分配用制約値に対してタイミング解析を行うタイミング解析部と、入力した前記

論理回路のターゲットライブラリ情報を保持するライブラリデータベース部と、前記論理合成用遅延制約値を出力する出力部と、前記論理回路の遅延分配用制約値を論理合成用遅延制約値として分配する際、論理合成最適化対象回路の遅延値を除く下位階層の遅延値の比率を求め、当該下位階層の遅延値の比率に応じてバスの制約値から当該論理合成対象回路の遅延値を差し引いた値を前記論理合成用遅延制約値として各階層に分配する遅延制約分配部とを有することを特徴とする論理合成用制約生成処理装置に存する。また本発明の請求項2に記載の要旨は、設計対象とする論理回路のフロアプランを作成し、ブロック間のネットの配線遅延情報とブロック内部の端子間の遅延値を回路接続情報記憶部に格納するとともに、ブロック間のネットの接続情報を回路遅延情報記憶部に格納するフロアプラン処理部を有することを特徴とする請求項1に記載の論理合成用制約生成処理装置に存する。また本発明の請求項3に記載の要旨は、前記論理合成用遅延制約値を用いて、前記回路接続情報記憶部と前記回路遅延情報記憶部に格納されている回路の論理合成を行う論理合成処理部を有することを特徴とする請求項1に記載の論理合成用制約生成処理装置に存する。また本発明の請求項4に記載の要旨は、前記タイミング解析部は、前記論理回路の回路接続情報を受け取り、タイミング解析に必要なターゲットライブラリを用いて、前記論理回路の仕様の制約値に基づいたタイミング解析をすべてのバスについて行うとともに、当該解析結果を前記回路遅延情報記憶部に格納するように構成されていることを特徴とする請求項2に記載の論理合成用制約生成処理装置に存する。また本発明の請求項5に記載の要旨は、前記遅延制約分配部は、遅延分配用制約記憶部に格納されている論理回路の仕様の制約値と前記回路遅延情報記憶部に格納されたタイミング解析の結果に基づき、ブロックごとの論理合成用遅延制約値を生成して論理合成用制約記憶部に格納するように構成されていることを特徴とする請求項2に記載の論理合成用制約生成処理装置に存する。また本発明の請求項6に記載の要旨は、ブロックによる階層構造を有する論理回路の遅延制約を生成する論理合成用制約生成処理方法であって、ブロックにより分割された階層構造と当該ブロックの内部および当該ブロック間の遅延値を有する論理回路の情報を入力する階層回路仕様入力工程と、前記論理回路の遅延分配用制約値を入力する制約入力工程と、入力した前記論理回路の情報および当該論理回路の遅延分配用制約値を保持する回路データベース工程と、前記論理回路のターゲットライブラリ情報を入力するライブラリ入力工程と、前記回路データベース工程に保持している前記論理回路の情報と当該論理回路の遅延分配用制約値に対してタイミング解析を行うタイミング解析工程と、入力した前記論理回路のターゲットライブラリ情報を保持するライブラリデータベース工程と、前記論理合成用遅延制

約値を出力する出力工程と、前記論理回路の遅延分配用制約値を論理合成用遅延制約値として分配する際、論理合成最適化対象回路の遅延値を除く下位階層の遅延値の比率を求め、当該下位階層の遅延値の比率に応じてバスの制約値から当該論理合成対象回路の遅延値を差し引いた値を前記論理合成用遅延制約値として各階層に分配する遅延制約分配工程とを有することを特徴とする論理合成用制約生成処理方法に存する。また本発明の請求項7に記載の要旨は、設計対象とする論理回路のフロアプランを作成し、ブロック間のネットの配線遅延情報とブロック内部の端子間の遅延値を回路接続情報記憶部に格納するとともに、ブロック間のネットの接続情報を回路遅延情報記憶部に格納するフロアプラン工程を有することを特徴とする請求項6に記載の論理合成用制約生成処理方法に存する。また本発明の請求項8に記載の要旨は、前記論理合成用遅延制約値を用いて、前記回路接続情報記憶部と前記回路遅延情報記憶部に格納されている回路の論理合成を行う論理合成工程を有することを特徴とする請求項6に記載の論理合成用制約生成処理方法に存する。また本発明の請求項9に記載の要旨は、前記タイミング解析工程は、前記論理回路の回路接続情報を受け取り、タイミング解析に必要なターゲットライブラリを用いて、前記論理回路の仕様の制約値に基づいたタイミング解析をすべてのバスについて行うとともに、当該解析結果を前記回路遅延情報記憶部に格納する工程を含むことを特徴とする請求項7に記載の論理合成用制約生成処理方法に存する。また本発明の請求項10に記載の要旨は、前記遅延制約分配工程は、遅延分配用制約記憶部に格納されている論理回路の仕様の制約値と前記回路遅延情報記憶部に格納されたタイミング解析の結果に基づき、ブロックごとの論理合成用遅延制約値を生成して論理合成用制約記憶部に格納する工程を含むことを特徴とする請求項7に記載の論理合成用制約生成処理方法に存する。

【0006】

【発明の実施の形態】以下に示す実施形態の特徴は、遅延制約分配工程において論理合成工程に用いる論理合成用遅延制約値を、ネットの配線等固定値である遅延値を最適化対象の遅延値に含まないものとして、自動で分配する点にある。すなわち、最適化対象外遅延値を除いて遅延分配用制約値を分配することで、バス上のブロックごとに適切な比率で論理合成用遅延制約値を割り振ることができるようになる。これにより、論理合成の負担が軽減し、非常に長いネットを持つ回路に対してはフロアプラン工程にてリピータを挿入することができる結果、工程の後戻りを防ぐことが可能となるといった効果を奏する。以下、本発明の実施形態を図面に基づいて詳細に説明する。

【0007】図1は、本発明にかかる論理合成用制約生成処理装置の一実施形態を説明するための機能ブロック

図である。図1を参照すると、論理合成最適化対象外遅延値を考慮した本実施形態の論理合成用制約生成処理装置は、遅延分配用制約記憶部A10、回路接続情報記憶部A11、回路遅延情報記憶部A12、論理合成用制約記憶部A13、フロアプラン処理部A6、タイミング解析部A7、遅延制約分配部A8、論理合成処理部A9、グラフィックディスプレイ（出力部）A3、キーボード（階層回路仕様入力部、制約入力部、ライブラリ入力部）A4、マウス（階層回路仕様入力部、制約入力部、ライブラリ入力部）A5を備えている。

【0008】データ処理部A1はたとえばEWS（Engineering Work Station：ワークステーションの一種）を構成する中央処理装置上で実行される各種プログラムで実現できる。記憶装置（回路データベース部、ライブラリデータベース部）A2はEWSの主記憶装置あるいは補助記憶装置を備えている。

【0009】フロアプラン処理部A6は、グラフィックディスプレイA3の画面上でのキーボードA4やマウスA5等の操作に基づいて、設計者が設計対象とする論理回路のフロアプランを作成し、ブロック間のネットの配線遅延値とブロック内部の端子間の遅延値を回路接続情報記憶部A11に格納するとともに、ブロック間のネットの接続情報を回路遅延情報記憶部A12に格納する機能を有している。またフロアプラン処理部A6は、またブロック間のネットの配線長が長い箇所にリピータを挿入する機能も有している。またすでに設計済みもしくは回路の構成の変更を行わないため、論理合成用遅延制約値を生成する必要がないもしくはすでに遅延値が決定されているゲートやマクロなどを挿入する機能も有している。

【0010】タイミング解析部A7は、回路接続情報記憶部A11に格納された回路接続情報を受け取り、タイミング解析に必要なテクノロジーの情報を持つターゲットライブラリを用いて、すべてのバスについて遅延分配用制約記憶部A10に格納された論理回路の仕様の制約値に基づいたタイミング解析を行い、その解析結果を回路遅延情報記憶部A12に格納する機能を有している。

【0011】遅延制約分配部A8は、遅延分配用制約記憶部A10に格納されている論理回路の仕様の制約値と回路遅延情報記憶部A12に格納されたタイミング解析の結果に基づき、ブロックごとの論理合成用遅延制約値を生成して論理合成用制約記憶部A13に格納する機能を有している。

【0012】論理合成処理部A9は、論理合成用制約記憶部A13に格納された論理合成用遅延制約値を用いて、回路接続情報記憶部A11と回路遅延情報記憶部A12に格納されている回路の論理合成を行う機能を有している。

【0013】回路接続情報記憶部A11および回路遅延情報記憶部A12のそれぞれには、回路の各ブロックと

各ブロック間の接続情報および遅延値が格納されている。回路接続情報記憶部A11および回路遅延情報記憶部A12に格納される情報については、接続情報およびその遅延値がわかればよいので、不要な論理情報などを省き単純化したモデルを用いる。

【0014】次に、図2～図5を参照して、本実施形態の遅延分配工程について説明する。図2は、本発明にかかる論理合成用制約生成処理方法における論理合成用制約生成の一実施形態を説明するためのフローチャートであり、図5は、本発明にかかる論理合成用制約生成処理方法における論理合成用遅延制約値の分配処理工程の一実施形態を説明するための図である。以下では、前段ブロックC1の内部にあるフリップフロップのDFF C3から最適化対象外遅延値であるネットC8、C9を経由して後段ブロックC2の内部にあるDFF C4へ至るバスがあり、バスの遅延分配用制約を行うDFF C3とDFF C4をドライブするクロック周期が12nsである場合に、本発明の技術で論理合成用遅延制約値を生成するケース（図5参照）について説明を行うことにする。

【0015】論理合成用制約生成処理方法における論理合成用制約生成が開始（ステップB1）されると、フロアプラン工程（ステップB2）において、前段ブロックC1と後段ブロックC2間の配線長が長いためにリピータC7を挿入する。最適化対象外遅延値にはネットC8、C9の遅延値以外に、フロアプラン工程（ステップB2）で挿入されたリピータC7、マクロ、ゲートの回路の遅延値が挙げられる。最適化対象外遅延値およびその対象回路は設計者が任意に指定してもよい。出力側ゲートC5は、出力側ゲートC5に接続するネットC8と、ネットC8に接続する最初の回路（例えば図5に示すリピータC7）を駆動するだけの駆動能力を持つように論理合成用遅延制約値を生成し、論理合成用制約記憶部A13に格納する。リピータC7からつながる最適化対象外である回路（例えば図5に示すネットC9）を駆動するための制約は出力側ゲートC5では考慮しない。前段ブロックC1の遅延値には、出力側ゲートC5につながる最適化対象外遅延値（例えば、ネットC8、ネットC9、リピータC7の遅延値）を含めない。タイミング解析工程（ステップB3）では、回路全体の遅延分配用制約記憶部A10から入力した制約によるタイミング解析を行う。遅延制約分配工程（ステップB4）では、論理合成最適化対象回路の遅延値を除いたブロックの遅延値の比率を求め前記比率でバスの制約値から論理合成対象外回路の遅延値を差し引いた値を論理合成用遅延制約値としてブロックごとに割り振る。論理合成工程（ステップB5）では、論理合成用制約記憶部A13に格納された論理合成用遅延制約値を用いて、回路接続情報記憶部A11と回路遅延情報記憶部A12に格納されている回路の論理合成を行う。レイアウト工程（ステップB

10

20

30

40

50

6) では、論理合成工程 (ステップ B 5) の結果に基づいて詳細配置配線を行う。終了判定工程 (ステップ B 7) では、レイアウト工程 (ステップ B 6) の結果について、遅延分配用制約記憶部 A 10 に格納された制約値を満たすかどうかを判定し、満たしていなければ工程の後戻りを発生させる。本実施形態では、フロアプラン工程 (ステップ B 2) の後の処理に後戻りしているが、状況に応じて別の工程まで後戻りしてもよい。階層設計されている回路について、各階層ごとに遅延制約が必要であれば、各階層毎に本発明のフローチャートの全部もしくは一部を繰り返す。

【0016】図 3 は、本発明にかかる論理合成用制約生成処理方法における論理合成用遅延分配処理工程の一実施形態を説明するためのフローチャートであり、図 5 は、本発明にかかる論理合成用制約生成処理方法における論理合成用遅延制約値の分配処理工程の一実施形態を説明するための図である。論理合成用制約生成処理方法における論理合成用遅延分配処理工程が開始 (ステップ D 1) されると、最適化対象遅延計算工程 (ステップ D 2) において、バス上の最適化対象回路の遅延を累積することで、最適化対象遅延値を求める。

【0017】最適化対象外遅延計算工程 (ステップ D 3) では、バス上の最適化対象外回路の遅延を累積することで、最適化対象外遅延値を求める。このとき図 5 の論理合成用遅延制約値の分配処理工程において、最適化対象外遅延値であるネット C 8、ネット C 9、リピータ C 7 の遅延値の合計が 8 ns であれば、前段ブロック C 1 と後段ブロック C 2 に合わせて割り振り可能な最適化対象遅延値は、バスの遅延分配用制約値 12 ns から最適化対象外遅延値を差し引いた $12 - 8 = 4$ ns と等しくなる。

【0018】遅延分配計算工程 (ステップ D 4) では、ブロックごとに分配する論理合成用遅延制約値を求める。ブロックごとの分配用の比率を該当ブロックの遅延 / 最適化対象遅延値とし、(該当ブロックの遅延 / 最適化対象遅延値) × 最適化対象遅延値を論理合成用遅延制約値としてブロックごとに割り振る。このとき図 5 の論理合成用遅延制約値の分配処理工程は、前段ブロック C 1 および後段ブロック C 2 の内部遅延値がともに 4 ns で、前段ブロック C 1 と後段ブロック C 2 にそれぞれのブロックの遅延値の比率で前記最適化対象遅延値を分配する。すなわち論理合成用遅延制約値の分配処理工程は、前段ブロック C 1 と後段ブロック C 2 にそれぞれ $(4/8) \times 4$ ns を割り振ることになり、前段ブロック C 1 に 2 ns が論理合成用遅延制約値として分配され、後段ブロック C 2 に 2 ns が論理合成用遅延制約値として分配される。このとき図 5 の論理合成用遅延制約値の分配処理工程は、バス上に 2 つのブロックが存在しているが、バス上のブロックが 2 つでない場合もブロックが 2 つである場合と同様に、バスの遅延分配用制約値

から最適化対象外遅延値を差し引いた最適化対象遅延値をブロックごとの遅延の比率に応じて分配する。本実施形態では、ブロックおよび回路の外部入出力端子の接続についてバスが分岐もしくは収束するとともに論理合成用遅延制約値が複数考えられる場合、論理合成用遅延制約値を選択する方法を設計状況に応じて設計者が指示できる。例えば、最もクリティカルなバスの論理合成用遅延制約値を採用する、論理合成単位であるブロックごとに最も厳しい論理合成用遅延制約値を採用するなどの選択方法を指示できる。

【0019】終了判定工程 (ステップ D 5) では、すべてのブロックに対し、論理合成用遅延制約値の分配が完了したかを調べ、終了していなければ (ステップ D 5 の NO)、未分配であるブロックに論理合成用制約を分配する。分配された論理合成用遅延制約値は論理合成用制約記憶部 A 13 に格納される。論理合成用遅延制約値は、論理合成単位例えばブロックごとに分割されて出力される。最適化対象外遅延値が大きく論理合成が困難な場合 (例えばクロック周期よりもネット C 8、C 9 の配線長が長いもしくは同等の場合)、その旨を示すワーニング情報を出し、設計者にフロアプランおよび回路仕様の見直しを促す。以上のようにして、本実施形態では、最適化対象外遅延値を考慮した論理合成用遅延制約値の生成を可能とする。

【0020】以上説明したように、本実施形態によれば、以下の効果を得ることができる。第 1 の効果は、性能目標にあった論理合成を可能とし、論理回路の設計における工程の後戻りを極力少なくすることができることである。その理由は、最適化対象外遅延値を考慮して論理合成用遅延制約値を分配することで、従来の手法に比べ精度良く最終的な実装形態を見積もることができるためである。第 2 に、バスの論理合成が困難であれば、論理合成前のフロアプラン工程 (ステップ B 2) にてリピータを挿入するなどの対策を講じることが可能となることである。その理由は、リピータやマクロなど、論理合成処理の必要がない回路をフロアプラン工程 (ステップ B 2) で挿入した回路を扱うことができ、早期に論理合成の可能性を見積もることができるためである。

【0021】

【発明の効果】本発明は以上のように構成されているので、以下に掲げる効果を奏する。第 1 の効果は、性能目標にあった論理合成を可能とし、論理回路の設計における工程の後戻りを極力少なくすることができることである。その理由は、最適化対象外遅延を考慮して論理合成用遅延制約を分配することで、従来の手法に比べ精度良く最終的な実装形態を見積もることができるためである。第 2 に、バスの論理合成が困難であれば、論理合成前のフロアプラン工程にてリピータを挿入するなどの対策を講じることが可能となることである。その理由は、リピータやマクロなど、論理合成処理の必要がない回路

をフロアプラン工程で挿入した回路を扱うことができ、早期に論理合成の可能性を見積もることができる。

【図面の簡単な説明】

【図1】本発明にかかる論理合成用制約生成処理装置の一実施形態を説明するための機能ブロック図である。

【図2】本発明にかかる論理合成用制約生成処理方法における論理合成用制約生成の一実施形態を説明するためのフローチャートである。

【図3】本発明にかかる論理合成用制約生成処理方法における論理合成用遅延分配処理工程の一実施形態を説明するためのフローチャートである。

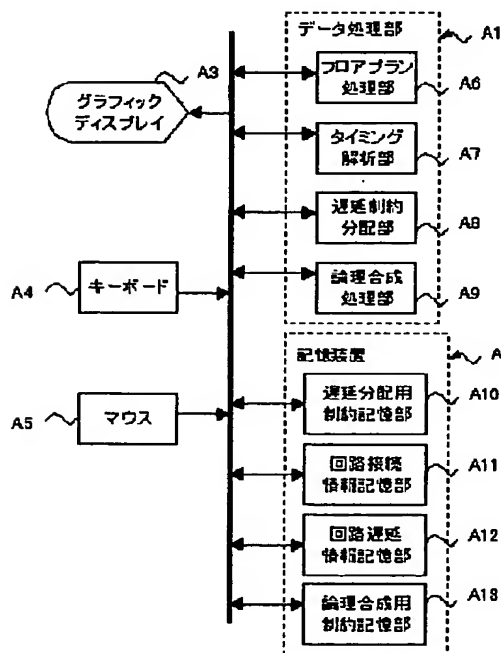
【図4】従来の論理合成用遅延制約の分配方法の一例を示す説明図である。

【図5】本発明にかかる論理合成用制約生成処理方法における論理合成用遅延制約の分配処理工程の一実施形態を説明するための図である。

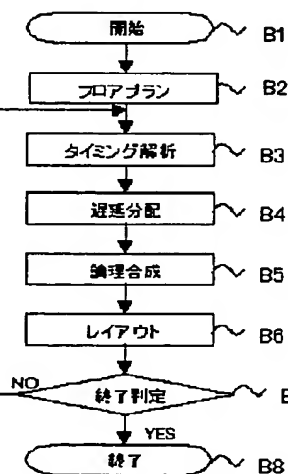
【符号の説明】

- A 1…データ処理部
- A 2…記憶装置（回路データベース部、ライブラリデータベース部）
- A 3…グラフィックディスプレイ（出力部）
- A 4…キーボード（階層回路仕様入力部、制約入力部、ライブラリ入力部）
- A 5…マウス（階層回路仕様入力部、制約入力部、ライブラリ入力部）
- A 6…フロアプラン処理部
- A 7…タイミング解析部
- A 8…遅延制約分配部
- A 9…論理合成処理部
- A 1 0…遅延分配用制約記憶部
- A 1 1…回路接続情報記憶部
- A 1 2…回路遅延情報記憶部
- A 1 3…論理合成用制約記憶部

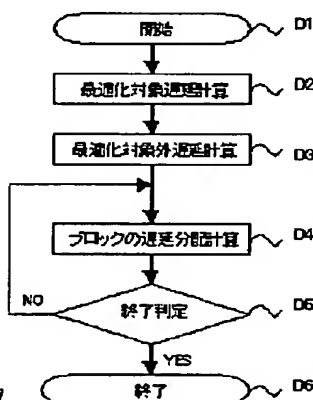
【図1】



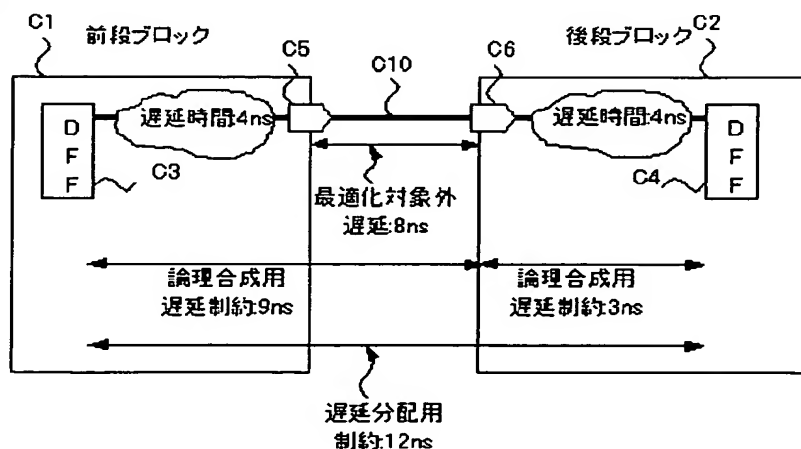
【図2】



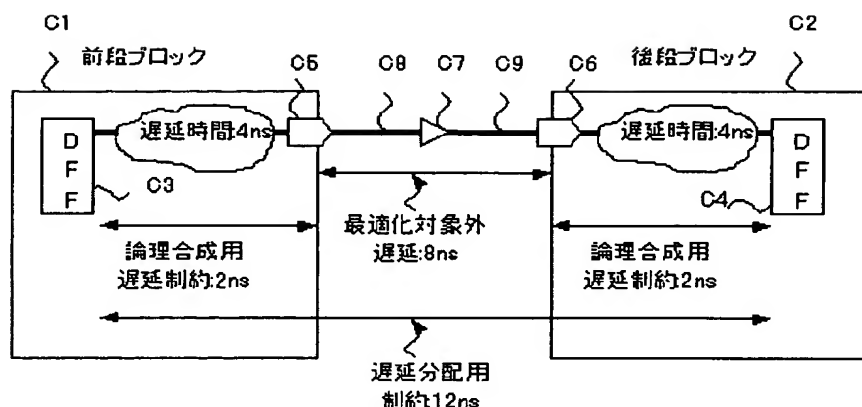
【図3】



【図4】



【図5】



【手続補正書】

【提出日】平成12年4月28日(2000.4.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】論理合成用制約生成処理装置及び論理合成用制約生成処理方法

【特許請求の範囲】

【請求項1】 回路の各ブロックと各ブロック間の接続情報および遅延値が格納される回路接続情報記憶部および回路遅延情報記憶部と、最適化され遅延値が固定されたリピータ、ゲートまたはマクロのいずれかを論理合成最適化対象外回路に挿入して遅延値を最適化するフロアプラン処理部と、論理回路の遅延分配用制約値を論理合成用遅延制約値として分配する際に、前記フロアプラン処理部において前記論理合成最適化対象外回路の遅延値を固定し、前記論理合成最適化対象外回路の遅延値を除く下位階層の遅延値の比率を求め、前記下位階層の遅延値の比率に応じてバスの制約値から論理合成対象回路の遅延値を差し引いた値を前記論理合成用遅延制約値として各階層に分配する遅延制約分配部を有することを特徴とする論理合成用制約生成処理装置。

【請求項2】 前記フロアプラン処理部は、画面上でのキーボードまたはマウスの操作に基づいて、設計者が設計対象とする論理回路のフロアプランを作成し、ブロック間のネットの配線遅延値とブロック内部の端子間の遅延値を前記回路接続情報記憶部に格納するとともに、ブロック間のネットの接続情報を前記回路遅延情報記憶部

に格納する機能、ブロック間のネットの配線長が長い箇所にリピータを挿入する機能、すでに設計済みまたは回路の構成の変更を行わないため前記論理合成用遅延制約値を生成する必要がないまたはすでに遅延値が決定されているゲートまたはマクロを挿入する機能を備えていることを特徴とする請求項1に記載の論理合成用制約生成処理装置。

【請求項3】 前記回路接続情報記憶部に格納された回路接続情報を受け取り、タイミング解析に必要なテクノロジーの情報を持つターゲットライブラリを用いて、すべてのバスについて遅延分配用制約記憶部に格納された論理回路の仕様の制約値に基づいたタイミング解析を行い、前記タイミング解析の結果を前記回路遅延情報記憶部に格納する機能を備えたタイミング解析部を有することを特徴とする請求項1に記載の論理合成用制約生成処理装置。

【請求項4】 前記遅延制約分配部は、遅延分配用制約記憶部に格納されている論理回路の仕様の制約値と前記回路遅延情報記憶部に格納されたタイミング解析の結果に基づき、ブロックごとの前記論理合成用遅延制約値を生成して論理合成用制約記憶部に格納する機能を備えていることを特徴とする請求項1に記載の論理合成用制約生成処理装置。

【請求項5】 論理合成用制約記憶部に格納された前記論理合成用遅延制約値を用いて、前記回路接続情報記憶部と前記回路遅延情報記憶部に格納されている回路の論理合成を行う機能を備えた論理合成処理部を有することを特徴とする請求項1に記載の論理合成用制約生成処理装置。

【請求項6】 回路の各ブロックと各ブロック間の接続情報および遅延値が格納される回路接続情報記憶工程および回路遅延情報記憶工程と、

最適化され遅延値が固定されたりピーク、ゲートまたはマクロのいずれかを論理合成最適化対象外回路に挿入して遅延値を最適化するフロアプラン工程と、
論理回路の遅延分配用制約値を論理合成用遅延制約値として分配する際に、前記フロアプラン工程において前記論理合成最適化対象外回路の遅延値を固定し、前記論理合成最適化対象外回路の遅延値を除く下位階層の遅延値の比率を求め、前記下位階層の遅延値の比率に応じてバスの制約値から論理合成対象回路の遅延値を差し引いた値を前記論理合成用遅延制約値として各階層に分配する遅延制約分配工程を有することを特徴とする論理合成用制約生成処理方法。

【請求項7】 回路全体の前記遅延制約分配工程から入力した制約によるタイミング解析を行うタイミング解析工程と、

前記論理合成最適化対象外回路の遅延値を除いたブロックの遅延値の比率を求め前記比率でバスの制約値から前記論理合成最適化対象外回路の遅延値を差し引いた値を前記論理合成用遅延制約値としてブロックごとに割り振る前記遅延制約分配工程と、

論理合成用制約記憶工程に格納された前記論理合成用遅延制約値を用いて、回路接続情報記憶部と前記回路遅延情報記憶工程に格納されている回路の論理合成を行う論理合成工程と、

前記論理合成工程の結果に基づいて詳細配置配線を行うレイアウト工程と、

前記レイアウト工程の結果について、前記遅延制約分配工程に格納された制約値を満たすかどうかを判定する終了判定工程を有することを特徴とする請求項6に記載の論理合成用制約生成処理方法。

【請求項8】 前記遅延制約分配工程が開始された際にバス上の最適化対象回路の遅延を累積することで最適化対象遅延値を求める最適化対象遅延計算工程と、

バス上の前記論理合成最適化対象外回路の遅延を累積することで最適化対象外遅延値を求める最適化対象外遅延計算工程と、

ブロックごとに分配する前記論理合成用遅延制約値を求め、ブロックごとの分配用の比率を{該当ブロックの遅延/最適化対象遅延値}とし、{該当ブロックの遅延/最適化対象遅延値}×最適化対象遅延値を前記論理合成用遅延制約値としてブロックごとに割り振る遅延分配計算工程と、

すべてのブロックに対して前記論理合成用遅延制約値の分配が完了したかを調べるとともに、未終了時に未分配であるブロックに前記論理合成用遅延制約値を分配する終了判定工程とを有することを特徴とする請求項6に記載の論理合成用制約生成処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、論理回路の最適化

技術に係り、特にブロックによる階層構造を有する論理回路の遅延制約を生成する論理合成用制約生成処理装置及び論理合成用制約生成処理方法に関する。

【0002】

【従来の技術】フロアプランに基づいてブロック間の概略配線経路を決定し、ネットの線長に基づき論理合成時の制約を設定し、設定された制約に基づいて論理合成を実行する従来技術として、特開平6-266801号公報記載の論理合成方法がある。以下、従来技術の論理合成方法について説明する。従来技術では、論理合成対象となる論理回路の機能レベルの仕様から論理回路のフロアプランを作成し、作成したフロアプランに基づいて論理回路を構成するブロック間にまたがるネットの配線長を見積もり、見積もった配線長に基づいて論理合成時の制約情報を設定し、設定した制約情報を考慮してブロック間をまたがる長いネットの出力側ゲートに駆動能力の高いゲートを最初の論理合成で生成する。フロアプランにおいては、ブロックの配置、ブロック間の配線を行い、ブロック間の配線長を計算する。遅延分配処理では、配線長を求めた後、ブロックごとのネットの遅延値をあらかじめ設定された制限値と比較し、制限値を超えている配線長を持つネットまたは制限値を超えていないが余裕度の少ないネットについて、該当ネットの出力側ゲートとして駆動能力の高いゲートを用いて論理合成する旨を示す論理合成用遅延制約を生成して論理合成用制約記憶部に格納する。

【0003】図4を参照して従来技術の詳細を説明する。図4には、前段ブロックC1の内部にあるDFF C3から最適化対象外遅延であるネットC10を経由して後段ブロックC2の内部にあるDFF C4へ至るバスがあり、バスの遅延分配用制約であるDFF C3とDFF C4をドライブするクロック周期が12nsである場合に、従来技術での論理合成用遅延制約を生成する例が示されている。従来技術では、最適化対象外遅延であるネットの配線長に応じて出力側ゲートC5の駆動能力を決定するため、最適化対象外であるネットC10の配線遅延時間は前段ブロックC1の遅延時間を含むものとして論理合成用遅延制約を生成する。つまり、前段ブロックC1の全体の遅延時間としては、DFF C3から後段ブロックC2の入力側ゲートC6の手前までの遅延時間を合計したものとなる。次に、前段ブロックC1と後段ブロックC2に要する遅延時間の比率で遅延分配用制約を前段ブロックC1と後段ブロックC2に分配する例を示す。前段ブロックC1および後段ブロックC2の内部遅延時間がともに4nsでネットの遅延時間が8nsであれば、前段ブロックC1の遅延時間は12(=4+8)nsとなる。前段ブロックC1と後段ブロックC2にはそれぞれの遅延時間の比率12:4=3:1でバス全体の遅延分配用制約12nsを割り振るので、前段ブロックC1には9nsが論理合成用遅延制約

として分配され、後段ブロックC2には3nsが論理合成用遅延制約として分配される。ネットC10の配線長が非常に長いため、論理合成工程にて、前段ブロックC1の出力ゲートC5の駆動能力を高くする旨の遅延制約を指定してもバスが遅延制約を満たさない場合がある。この場合、レイアウト工程にてネットC10にリピータを挿入する等の詳細配線処理を行う。レイアウト工程においても制約を満たさない場合は、フロアプラン工程から設計をやり直す。

【0004】

【発明が解決しようとする課題】しかしながら、従来技術には以下に掲げる問題点があった。第1の問題点は、ブロック間をまたがるバスに対して自動でブロック毎に有効な遅延制約を与えることができないことである。その理由は、最適化対象外遅延が大きくなるほど、前記最適化対象外遅延へ信号を出力する前段ブロックに論理合成用遅延制約が緩く分配されるためである。第2の問題点は、出力側ゲートの駆動能力を高くするだけでは該当ネットの配線遅延の縮小が不十分であり、レイアウト工程での修正およびフロアプラン工程への後戻りが頻繁に起こり得ることである。その理由は、出力側ゲートの駆動能力は有限であり、ブロック間をまたがるネットの配線長が非常に大きい場合に、駆動能力不足になるためである。本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、最適化対象回路を小型化、高速化できる論理合成用制約生成処理装置及び論理合成用制約生成処理方法を提供する点にある。また本発明の他の目的は、論理回路設計の工数を縮小化して効率化する論理合成用制約生成処理装置及び論理合成用制約生成処理方法を提供する点にある。

【0005】

【課題を解決するための手段】この発明の請求項1に記載の発明の要旨は、回路の各ブロックと各ブロック間の接続情報および遅延値が格納される回路接続情報記憶部および回路遅延情報記憶部と、最適化され遅延値が固定されリピータ、ゲートまたはマクロのいずれかを論理合成最適化対象外回路に挿入して遅延値を最適化するフロアプラン処理部と、論理回路の遅延分配用制約値を論理合成用遅延制約値として分配する際に、前記フロアプラン処理部において前記論理合成最適化対象外回路の遅延値を固定し、前記論理合成最適化対象外回路の遅延値を除く下位階層の遅延値の比率を求め、前記下位階層の遅延値の比率に応じてバスの制約値から論理合成対象回路の遅延値を差し引いた値を前記論理合成用遅延制約値として各階層に分配する遅延制約分配部を有することを特徴とする論理合成用制約生成処理装置に存する。この発明の請求項2に記載の発明の要旨は、前記フロアプラン処理部は、画面上でのキーボードまたはマウスの操作に基づいて、設計者が設計対象とする論理回路のフロアプランを作成し、ブロック間のネットの配線遅延値とブ

ロック内部の端子間の遅延値を前記回路接続情報記憶部に格納するとともに、ブロック間のネットの接続情報を前記回路遅延情報記憶部に格納する機能、ブロック間のネットの配線長が長い箇所にリピータを挿入する機能、すでに設計済みまたは回路の構成の変更を行わないため前記論理合成用遅延制約値を生成する必要がないまたはすでに遅延値が決定されているゲートまたはマクロを挿入する機能を備えていることを特徴とする請求項1に記載の論理合成用制約生成処理装置に存する。この発明の請求項3に記載の発明の要旨は、前記回路接続情報記憶部に格納された回路接続情報を受け取り、タイミング解析に必要なテクノロジーの情報を持つターゲットライブラリを用いて、すべてのバスについて遅延分配用制約記憶部に格納された論理回路の仕様の制約値に基づいたタイミング解析を行い、前記タイミング解析の結果を前記回路遅延情報記憶部に格納する機能を備えたタイミング解析部を有することを特徴とする請求項1に記載の論理合成用制約生成処理装置に存する。この発明の請求項4に記載の発明の要旨は、前記遅延制約分配部は、遅延分配用制約記憶部に格納されている論理回路の仕様の制約値と前記回路遅延情報記憶部に格納されたタイミング解析の結果に基づき、ブロックごとの前記論理合成用遅延制約値を生成して論理合成用制約記憶部に格納する機能を備えていることを特徴とする請求項1に記載の論理合成用制約生成処理装置に存する。この発明の請求項5に記載の発明の要旨は、論理合成用制約記憶部に格納された前記論理合成用遅延制約値を用いて、前記回路接続情報記憶部と前記回路遅延情報記憶部に格納されている回路の論理合成を行う機能を備えた論理合成処理部を有することを特徴とする請求項1に記載の論理合成用制約生成処理装置に存する。この発明の請求項6に記載の発明の要旨は、回路の各ブロックと各ブロック間の接続情報および遅延値が格納される回路接続情報記憶工程および回路遅延情報記憶工程と、最適化され遅延値が固定されリピータ、ゲートまたはマクロのいずれかを論理合成最適化対象外回路に挿入して遅延値を最適化するフロアプラン工程と、論理回路の遅延分配用制約値を論理合成用遅延制約値として分配する際に、前記フロアプラン工程において前記論理合成最適化対象外回路の遅延値を固定し、前記論理合成最適化対象外回路の遅延値を除く下位階層の遅延値の比率を求め、前記下位階層の遅延値の比率に応じてバスの制約値から論理合成対象回路の遅延値を差し引いた値を前記論理合成用遅延制約値として各階層に分配する遅延制約分配工程を有することを特徴とする論理合成用制約生成処理方法に存する。この発明の請求項7に記載の発明の要旨は、回路全体の前記遅延制約分配工程から入力した制約によるタイミング解析を行うタイミング解析工程と、前記論理合成最適化対象外回路の遅延値を除いたブロックの遅延値の比率を求め前記比率でバスの制約値から前記論理合成最適化対象外回路の

遅延値を差し引いた値を前記論理合成用遅延制約値としてブロックごとに割り振る前記遅延制約分配工程と、論理合成用制約記憶工程に格納された前記論理合成用遅延制約値を用いて、回路接続情報記憶部と前記回路遅延情報記憶工程に格納されている回路の論理合成を行う論理合成工程と、前記論理合成工程の結果に基づいて詳細配置配線を行うレイアウト工程と、前記レイアウト工程の結果について、前記遅延制約分配工程に格納された制約値を満たすかどうかを判定する終了判定工程を有することを特徴とする請求項6に記載の論理合成用制約生成処理方法に存する。この発明の請求項8に記載の発明の要旨は、前記遅延制約分配工程が開始された際にバス上の最適化対象回路の遅延を累積することで最適化対象遅延値を求める最適化対象遅延計算工程と、バス上の前記論理合成最適化対象外回路の遅延を累積することで最適化対象外遅延値を求める最適化対象外遅延計算工程と、ブロックごとに分配する前記論理合成用遅延制約値を求め、ブロックごとの分配用の比率を{該当ブロックの遅延/最適化対象遅延値}とし、{該当ブロックの遅延/最適化対象遅延値}×最適化対象遅延値を前記論理合成用遅延制約値としてブロックごとに割り振る遅延分配計算工程と、すべてのブロックに対して前記論理合成用遅延制約値の分配が完了したかを調べるとともに、未終了時に未分配であるブロックに前記論理合成用遅延制約値を分配する終了判定工程とを有することを特徴とする請求項6に記載の論理合成用制約生成処理方法に存する。

【0006】

【発明の実施の形態】以下に示す実施形態の特徴は、遅延制約分配工程において論理合成工程に用いる論理合成用遅延制約値を、ネットの配線等固定値である遅延値を最適化対象の遅延値に含まないものとして、自動で分配する点にある。すなわち、最適化対象外遅延値を除いて遅延分配用制約値を分配することで、バス上のブロックごとに適切な比率で論理合成用遅延制約値を割り振ることができるようになる。これにより、論理合成の負担が軽減し、非常に長いネットを持つ回路に対してはフロアプラン工程にてリピータを挿入することができる結果、工程の後戻りを防ぐことが可能となるといった効果を奏する。以下、本発明の実施形態を図面に基づいて詳細に説明する。

【0007】図1は、本発明にかかる論理合成用制約生成処理装置の一実施形態を説明するための機能ブロック図である。図1を参照すると、論理合成最適化対象外遅延値を考慮した本実施形態の論理合成用制約生成処理装置は、遅延分配用制約記憶部A10、回路接続情報記憶部A11、回路遅延情報記憶部A12、論理合成用制約記憶部A13、フロアプラン処理部A6、タイミング解析部A7、遅延制約分配部A8、論理合成処理部A9、グラフィックディスプレイ（出力部）A3、キーボード（階層回路仕様入力部、制約入力部、ライブラリ入力

部）A4、マウス（階層回路仕様入力部、制約入力部、ライブラリ入力部）A5を備えている。

【0008】データ処理部A1はたとえばEWS（Engineering Work Station：ワークステーションの一種）を構成する中央処理装置上で実行される各種プログラムで実現できる。記憶装置（回路データベース部、ライブラリデータベース部）A2はEWSの主記憶装置あるいは補助記憶装置を備えている。

【0009】フロアプラン処理部A6は、グラフィックディスプレイA3の画面上でのキーボードA4やマウスA5等の操作に基づいて、設計者が設計対象とする論理回路のフロアプランを作成し、ブロック間のネットの配線遅延値とブロック内部の端子間の遅延値を回路接続情報記憶部A11に格納するとともに、ブロック間のネットの接続情報を回路遅延情報記憶部A12に格納する機能を有している。またフロアプラン処理部A6は、またブロック間のネットの配線長が長い箇所にはリピータを挿入する機能も有している。またすでに設計済みもしくは回路の構成の変更を行わないため、論理合成用遅延制約値を生成する必要がないもしくはすでに遅延値が決定されているゲートやマクロなどを挿入する機能も有している。

【0010】タイミング解析部A7は、回路接続情報記憶部A11に格納された回路接続情報を受け取り、タイミング解析に必要なテクノロジーの情報を持つターゲットライブラリを用いて、すべてのバスについて遅延分配用制約記憶部A10に格納された論理回路の仕様の制約値に基づいたタイミング解析を行い、その解析結果を回路遅延情報記憶部A12に格納する機能を有している。

【0011】遅延制約分配部A8は、遅延分配用制約記憶部A10に格納されている論理回路の仕様の制約値と回路遅延情報記憶部A12に格納されたタイミング解析の結果に基づき、ブロックごとの論理合成用遅延制約値を生成して論理合成用制約記憶部A13に格納する機能を有している。

【0012】論理合成処理部A9は、論理合成用制約記憶部A13に格納された論理合成用遅延制約値を用いて、回路接続情報記憶部A11と回路遅延情報記憶部A12に格納されている回路の論理合成を行う機能を有している。

【0013】回路接続情報記憶部A11および回路遅延情報記憶部A12のそれぞれには、回路の各ブロックと各ブロック間の接続情報および遅延値が格納されている。回路接続情報記憶部A11および回路遅延情報記憶部A12に格納される情報については、接続情報およびその遅延値がわかればよいので、不要な論理情報などを省き単純化したモデルを用いる。

【0014】次に、図2～図5を参照して、本実施形態の遅延制約分配工程について説明する。図2は、本発明にかかる論理合成用制約生成処理方法における論理合成

用制約生成の一実施形態を説明するためのフローチャートであり、図5は、本発明にかかる論理合成用制約生成処理方法における遅延制約分配工程の一実施形態を説明するための図である。以下では、前段ブロックC1の内部にあるフリップフロップのDFF C3から最適化対象外遅延値であるネットC8、C9を経由して後段ブロックC2の内部にあるDFF C4へ至るパスがあり、パスの遅延分配用制約を行うDFF C3とDFF C4をドライブするクロック周期が12nsである場合に、本発明の技術で論理合成用遅延制約値を生成するケース(図5参照)について説明を行うことにする。

【0015】論理合成用制約生成処理方法における論理合成用制約生成が開始(ステップB1)されると、フロアプラン工程(ステップB2)において、前段ブロックC1と後段ブロックC2間の配線長が長いことにリピータC7を挿入する。最適化対象外遅延値にはネットC8、C9の遅延値以外に、フロアプラン工程(ステップB2)で挿入されたリピータC7、マクロ、ゲートの回路の遅延値が挙げられる。最適化対象外遅延値およびその対象回路は設計者が任意に指定してもよい。出力側ゲートC5は、出力側ゲートC5に接続するネットC8と、ネットC8に接続する最初の回路(例えば図5に示すリピータC7)を駆動するだけの駆動能力を持つように論理合成用遅延制約値を生成し、論理合成用制約記憶部A13に格納する。リピータC7からつながる最適化対象外である回路(例えば図5に示すネットC9)を駆動するための制約は出力側ゲートC5では考慮しない。前段ブロックC1の遅延値には、出力側ゲートC5につながる最適化対象外遅延値(例えば、ネットC8、ネットC9、リピータC7の遅延値)を含めない。タイミング解析工程(ステップB3)では、回路全体の遅延分配用制約記憶部A10から入力した制約によるタイミング解析を行う。遅延制約分配工程(ステップB4)では、論理合成最適化対象外回路の遅延値を除いたブロックの遅延値の比率を求め前記比率でパスの制約値から論理合成対象外回路の遅延値を差し引いた値を論理合成用遅延制約値としてブロックごとに割り振る。論理合成工程(ステップB5)では、論理合成用制約記憶部A13に格納された論理合成用遅延制約値を用いて、回路接続情報記憶部A11と回路遅延情報記憶部A12に格納されている回路の論理合成を行う。レイアウト工程(ステップB6)では、論理合成工程(ステップB5)の結果に基づいて詳細配置配線を行う。終了判定工程(ステップB7)では、レイアウト工程(ステップB6)の結果について、遅延分配用制約記憶部A10に格納された制約値を満たすかどうかを判定し、満たしていなければ工程の後戻りを発生させる。本実施形態では、フロアプラン工程(ステップB2)の後の処理に後戻りしているが、状況に応じて別の工程まで後戻りしてもよい。階層設計されている回路について、階層ごとに遅延制約が必要で

あれば、階層ごとに本発明のフローチャートの全部もしくは一部を繰り返す。

【0016】図3は、本発明にかかる論理合成用制約生成処理方法における遅延制約分配工程の一実施形態を説明するためのフローチャートであり、図5は、本発明にかかる論理合成用制約生成処理方法における遅延制約分配工程の一実施形態を説明するための図である。論理合成用制約生成処理方法における遅延制約分配工程が開始(ステップD1)されると、最適化対象遅延計算工程(ステップD2)において、パス上の最適化対象回路の遅延を累積することで、最適化対象遅延値を求める。

【0017】最適化対象外遅延計算工程(ステップD3)では、パス上の最適化対象外回路の遅延を累積することで、最適化対象外遅延値を求める。このとき図5の遅延制約分配工程において、最適化対象外遅延値であるネットC8、ネットC9、リピータC7の遅延値の合計が8nsであれば、前段ブロックC1と後段ブロックC2に合わせて割り振り可能な最適化対象遅延値は、パスの遅延分配用制約値12nsから最適化対象外遅延値を差し引いた $12 - 8 = 4$ nsと等しくなる。

【0018】遅延分配計算工程(ステップD4)では、ブロックごとに分配する論理合成用遅延制約値を求める。ブロックごとの分配用の比率を該当ブロックの遅延/最適化対象遅延値とし、(該当ブロックの遅延/最適化対象遅延値)×最適化対象遅延値を論理合成用遅延制約値としてブロックごとに割り振る。このとき図5の遅延制約分配工程は、前段ブロックC1および後段ブロックC2の内部遅延値がともに4nsで、前段ブロックC1と後段ブロックC2にそれぞれのブロックの遅延値の比率で前記最適化対象遅延値を分配する。すなわち遅延制約分配工程は、前段ブロックC1と後段ブロックC2にそれぞれ $(4/8) \times 4$ nsを割り振ることになり、前段ブロックC1に2nsが論理合成用遅延制約値として分配され、後段ブロックC2に2nsが論理合成用遅延制約値として分配される。このとき図5の遅延制約分配工程は、パス上に2つのブロックが存在しているが、パス上のブロックが2つでない場合もブロックが2つである場合と同様に、パスの遅延分配用制約値から最適化対象外遅延値を差し引いた最適化対象遅延値をブロックごとの遅延の比率に応じて分配する。本実施形態では、ブロックおよび回路の外部入出力端子の接続についてパスが分岐もしくは収束するとともに論理合成用遅延制約値が複数考えられる場合、論理合成用遅延制約値を選択する方法を設計状況に応じて設計者が指示できる。例えば、最もクリティカルなパスの論理合成用遅延制約値を採用する、論理合成単位であるブロックごとに最も厳しい論理合成用遅延制約値を採用するなどの選択方法を指示できる。

【0019】終了判定工程(ステップD5)では、すべてのブロックに対し、論理合成用遅延制約値の分配が完

了したかを調べ、終了していなければ（ステップD5のNO）、未分配であるブロックに論理合成用遅延制約値を分配する。分配された論理合成用遅延制約値は論理合成用制約記憶部A13に格納される。論理合成用遅延制約値は、論理合成単位例えばブロックごとに分割されて出力される。最適化対象外遅延値が大きく論理合成が困難な場合（例えばクロック周期よりもネットC8、C9の配線長が長いもしくは同等の場合）、その旨を示すワーニング情報を出力し、設計者にフロアプランおよび回路仕様の見直しを促す。以上のようにして、本実施形態では、最適化対象外遅延値を考慮した論理合成用遅延制約値の生成を可能とする。

【0020】以上説明したように、本実施形態によれば、以下の効果を得ることができる。第1の効果は、性能目標にあった論理合成を可能とし、論理回路の設計における工程の後戻りを極力少なくすることができることである。その理由は、最適化対象外遅延値を考慮して論理合成用遅延制約値を分配することで、従来の手法に比べ精度良く最終的な実装形態を見積もることができるためである。第2に、バスの論理合成が困難であれば、論理合成前のフロアプラン工程（ステップB2）にてリピータを挿入するなどの対策を講じることが可能となることである。その理由は、リピータやマクロなど、論理合成処理の必要がない回路をフロアプラン工程（ステップB2）で挿入した回路を扱うことができ、早期に論理合成の可能性を見積もることができるためである。

【0021】

【発明の効果】本発明は以上のように構成されているので、以下に掲げる効果を奏する。第1の効果は、性能目標にあった論理合成を可能とし、論理回路の設計における工程の後戻りを極力少なくすることができることである。その理由は、最適化対象外遅延を考慮して論理合成用遅延制約を分配することで、従来の手法に比べ精度良く最終的な実装形態を見積もることができるためである。第2に、バスの論理合成が困難であれば、論理合成前のフロアプラン工程にてリピータを挿入するなどの対策を講じることが可能となることである。その理由は、リピータやマクロなど、論理合成処理の必要がない回路をフロアプラン工程で挿入した回路を扱うことができ、早期に論理合成の可能性を見積もることができるためである。

【図面の簡単な説明】

【図1】本発明にかかる論理合成用制約生成処理装置の一実施形態を説明するための機能ブロック図である。

【図2】本発明にかかる論理合成用制約生成処理方法における論理合成用制約生成の一実施形態を説明するため

のフローチャートである。

【図3】本発明にかかる論理合成用制約生成処理方法における遅延制約分配工程の一実施形態を説明するためのフローチャートである。

【図4】従来の論理合成用遅延制約の分配方法の一例を示す説明図である。

【図5】本発明にかかる論理合成用制約生成処理方法における遅延制約分配工程の一実施形態を説明するための図である。

【符号の説明】

- A1…データ処理部
- A2…記憶装置（回路データベース部、ライブラリデータベース部）
- A3…グラフィックディスプレイ（出力部）
- A4…キーボード（階層回路仕様入力部、制約入力部、ライブラリ入力部）
- A5…マウス（階層回路仕様入力部、制約入力部、ライブラリ入力部）
- A6…フロアプラン処理部
- A7…タイミング解析部
- A8…遅延制約分配部
- A9…論理合成処理部
- A10…遅延分配用制約記憶部
- A11…回路接続情報記憶部
- A12…回路遅延情報記憶部
- A13…論理合成用制約記憶部

【手続補正2】

【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】

